

Corso di Calcolatori Elettronici (IdT)
Facoltà di Ingegneria
Università di Firenze
Alcuni esercizi da compiti A.A. 2001/2002 (Parte 5)

1. In figura 1 viene indicato uno schema di collegamento delle periferiche per una gestione delle interruzioni con polling. Si commenti lo schema, e si indichino i vantaggi/svantaggi rispetto ad uno schema di daisy chain.

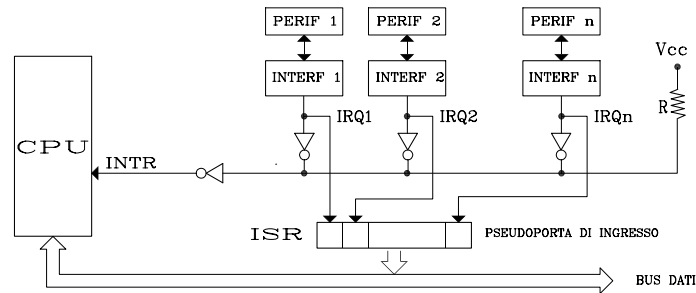


Figura 1: Schema polling

2. In figura 2 viene indicato uno schema di collegamento delle periferiche per una gestione delle interruzioni con daisy chain. Si commenti lo schema, e si indichino i vantaggi/svantaggi rispetto ad uno schema con polling.

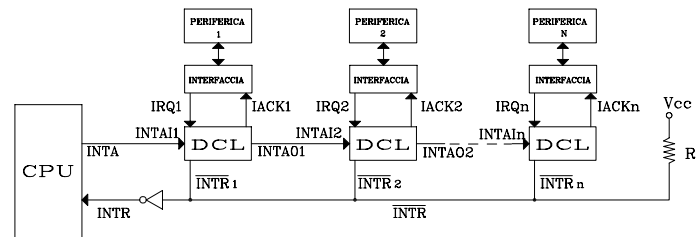


Figura 2: Schema daisy chain

3. Si consideri l'interfaccia di I/O rappresentata in figura 3 in cui le linee del bus dati sono indicate con DB7 (MSB), ..., DB1, DB0 (LSB).

Si desidera leggere da programma lo stato dell'interfaccia, e in caso di stato attivo (bit di stato = 1) disabilitare le interruzioni sull'interfaccia stessa cambiando in modo opportuno lo stato del flip flop IENFF. Dato il seguente insieme di istruzioni:

- 1) OUT AL, 38h
- 2) AND AL, 04h
- 3) IN AL, 38h
- 4) IN AL, 72h
- 5) JZ FINE
- 6) OUT AL, 72h

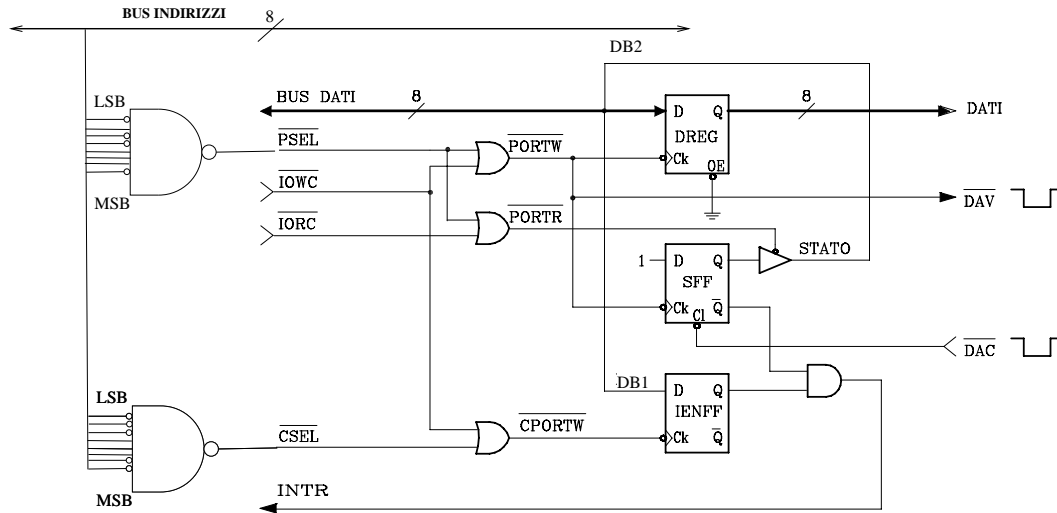


Figura 3: Interfaccia IO

- 7) MOV AL, 00h
- 8) MOV AL, 02h

Si indichi quale tra le seguenti successioni di istruzioni è quella corretta.

- Nessuna delle altre soluzioni (riportare la soluzione trovata)
- 5, 1, 4, 6, 3
- 4, 2, 5, 6, 3
- 3, 2, 5, 7, 6
- 4, 2, 5, 7, 6
- 3, 2, 5, 7, 1
- 4, 2, 5, 8, 1
- 4, 2, 5, 7, 1

4. Si consideri l'interfaccia di I/O rappresentata in figura 4 in cui le linee del bus dati sono indicate con DB7 (MSB), ..., DB1, DB0 (LSB).

Si legga da programma lo stato dell'interfaccia. In caso di stato attivo (bit di stato = 1) si scriva il valore 37h nel registro DREG, altrimenti si scriva su tale registro il valore 49h.

Indicare la sequenza di istruzioni

-
-
-
-
-

5. Ordinare cronologicamente le fasi di controllo necessarie all'accettazione di una richiesta di interruzione esterna vettorizzata

- A: salva nello stack i flag e il PC
- B: maschera le interruzioni

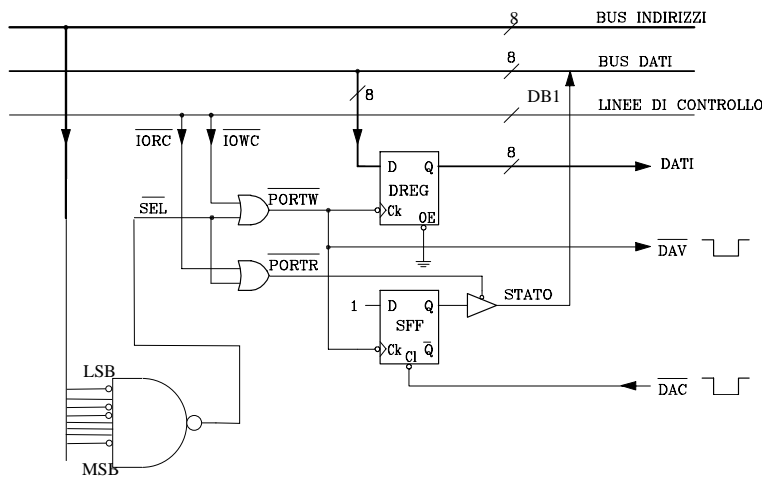


Figura 4: Interfaccia IO

C: converti l'INT TYPE nell'INT VECT corrispondente
 D: invia l'INTA
 E: poni l'INT VECT nel PC
 F: termina l'istruzione in corso
 G: leggi l'INT TYPE sul bus dati

- (a) F-G-D-A-B-C-E
- (b) F-D-G-A-B-C-E
- (c) D-E-A-G-B-F-C
- (d) F-D-G-B-A-E-C
- (e) D-F-E-A-G-B-C

6. Il bus degli indirizzi di un calcolatore ha 16 linee di indirizzi A_{15-0} . Se l'indirizzo assegnato ad un dispositivo è $7CA4_{16}$ e il decodificatore per quel dispositivo ignora le linee A_8 e A_9 , quali sono tutti gli indirizzi ai quali risponderà questo dispositivo?
7. Si descriva il funzionamento dell'interfaccia DCL rappresentata in figura 5, descrivendo anche il suo contesto di impiego nell'ambito di un collegamento delle interfacce di I/O di tipo daisy chain

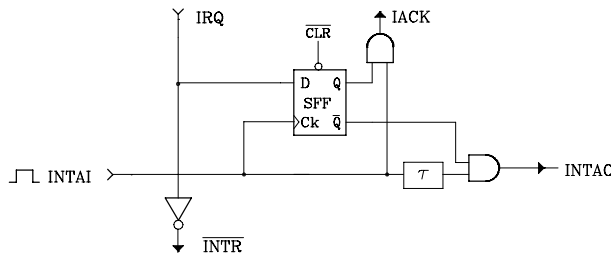


Figura 5: Logica DCL