

ESEMPI DI DOMANDE D'ESAME

0. Dato il numerale 5473, esprimerne i valori decimale ed esadecimale in notazione binaria.
1. Un'unità di I/O trasferisce dati alla velocità di 24 Mbit/s. Quanti Mbyte sono stati trasferiti dopo un secondo e mezzo? [*R*: $3 \times 1.5 \times (10^6/2^{20}) = 4.29\text{Mbyte}$]
2. Quanti chip di memoria 8Mbit \times 4 sono necessari per costruire un banco di memoria 32Mbyte \times 16? Quante le linee di indirizzo? Come sono utilizzate? [*R*: 128; le linee di indirizzo sono 28, di cui 23 vanno in parallelo a tutti i chip, e 5 vanno nel decoder che attiva i CS di una tra le 32 "schiere" da 4 chip che formano il banco]
3. Indicare gli effetti sul contenuto di AX delle seguenti istruzioni:
 - (a) OR AX,0Fh
 - (b) AND AX,0Fh
4. Siano R_1 , R_2 ed R_3 registri a 8 bit, con $[R_1] = 7Fh$ e $[R_2] = 40h$ nella rappresentazione in complemento a 2. Stabilire il valore della somma $R_3 = R_1 + R_2$, nonché il contenuto dei flag di carry e di overflow. [*R*: $[R_3] = -65$, ossia il complemento a 2 di $63 = (127 + 64)\text{mod}(2^8-1)$; overflow set, carry not set]
5. Scrivere le equazioni caratteristiche dei flip-flop SR e T. Costruire un flip-flop T a partire da un SR. [*Suggerimento: usare il flip-flop D come rappresentazione intermedia*]
6. Dato un processore a singolo bus interno, scrivere la microsequenza di controllo per l'esecuzione dell'istruzione ADD $R_1, [R_2]$.
7. Scrivere l'equivalente assembly della sequenza di operazioni necessarie ad accettare un'interruzione esterna in un sistema 8086.

8. Sia dato un micro con ciclo di bus pari a $N = 4$ colpi di clock e frequenza di clock pari a $f_{\text{clk}} = 200\text{MHz}$. Calcolare quanti cicli di wait N_w sono necessari se la memoria ha un tempo d'accesso di 30 ns. [R: $N_w \geq t_{\text{acc}} \times f_{\text{clk}} - N = 2$; per sicurezza $N_w = 3$]
9. Data una memoria cache a mappatura diretta di 128Kbyte, linee da 16 parole e parole da 2 byte, calcolare la suddivisione logica in campi della parola di indirizzo nel caso in cui la memoria principale sia di 32Mbyte. [R: gli indirizzi sono a 24 bit, con organizzazione interna 8(blocco in MM)-12(linea in blocco)-4(word in linea); l'indirizzamento in cache è a $12 + 4 = 16$ bit]
- A. Calcolare il *CPI* medio per un instruction set composto da 3 classi di istruzioni, caratterizzate da $CPI_1 = 1$, $CPI_2 = 2$, $CPI_3 = 4$, e da una frequenza di occorrenza classe pari a $f_1 = 55\%$, $f_2 = 35\%$, $f_3 = 10\%$. Usare tale valore per calcolare un'approssimazione del tempo di esecuzione T_p per un programma di $N_p = 7 \times 10^9$ istruzioni, sapendo che la frequenza di lavoro del processore è $f_{\text{clk}} = 350\text{MHz}$. [R: $\overline{\text{CPI}} = \sum_{i=1}^3 f_i \times \text{CPI}_i = 1.65$; $T_p \approx (N_p \times \overline{\text{CPI}}) / f_{\text{clk}} = 33\text{s}$]
- B. Dato un micro con bus dati a 8 bit e indirizzi a 16 bit, indicare quanti cicli di bus sono necessari per il fetch e l'esecuzione dell'istruzione `ADD VAR, R1`. Si assuma che `VAR` sia una variabile di tipo `WORD` (2 byte). [R: $8=4(\text{instruction fetch})+2(\text{memory load})+2(\text{memory write})$, assumendo che opcode e modi di indirizzamento siano codificati sui primi due byte dell'istruzione]
- C. Scrivere una macro assembly 8086 che verifichi l'occorrenza del carattere '=' in una stringa terminante col carattere '\$'.
- D. Descrivere il trattamento dello stack nel processore 8086: allocazione, istruzioni e registri coinvolti, usi caratteristici, etc.
- E. Spiegare perché nell'8086 sia meno vantaggioso trasferire parole ad indirizzi dispari che ad indirizzi pari. Mostrare come l'unità di controllo riesca ad evitare questo inconveniente durante l'istruzione fetch.
- F. Mostrare come si possa trarre vantaggio da una codifica incrementale degli stati nella realizzazione di un'unità di controllo per microprocessore. Quali i benefici? Quale la struttura hardware della macchina?